

PAT-NO: JP02003188263A

DOCUMENT-IDENTIFIER: JP 2003188263 A

TITLE: METHOD FOR PRODUCING SEMICONDUCTOR
INTEGRATED CIRCUIT CHIP AND SEMICONDUCTOR PACKAGE USING
SEMICONDUCTOR INTEGRATED CIRCUIT CHIP

PUBN-DATE: July 4, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
HARUGUCHI, HIDEYA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP2001383641

APPL-DATE: December 17, 2001

INT-CL (IPC): H01L021/822, H01L021/301 , H01L021/60 ,
H01L021/82 , H01L023/12
, H01L027/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for producing a semiconductor integrated circuit chip having fine side face electrodes (fine pitch electrodes) in which occupation area of electrode pads for I/O signal (through electrodes) on the surface of the semiconductor integrated circuit chip can be reduced and the side face of the semiconductor integrated circuit chip can be utilized effectively.

SOLUTION: When a semiconductor wafer 11 is separated individually (diced) into semiconductor integrated circuit chips, through holes 1 are made on the border line 8 of a semiconductor integrated circuit region 10 becoming the semiconductor integrated circuit chip and a scribe region 2 being cut out formed between the semiconductor integrated circuit regions 10, and through hole electrodes are formed in the through holes 1 such that they are exposed to the side face of the semiconductor integrated circuit chips at the time of dicing.

COPYRIGHT: (C) 2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-188263

(P2003-188263A)

(43) 公開日 平成15年7月4日(2003.7.4)

(51) IntCl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 21/822		H 0 1 L 21/60	3 1 1 Z 5 F 0 3 8
21/301		27/04	E 5 F 0 4 4
21/60	3 1 1	21/82	P 5 F 0 6 4
21/82		23/12	L
23/12		21/78	L
審査請求 未請求 請求項の数 3 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2001-383641(P2001-383641)

(22) 出願日 平成13年12月17日(2001.12.17)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 春口 秀哉

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

Fターム(参考) 5F038 CA10 CA13 DF01 EZ11 EZ15

EZ20

5F044 QQ00 RR02 RR03 RR18 RR19

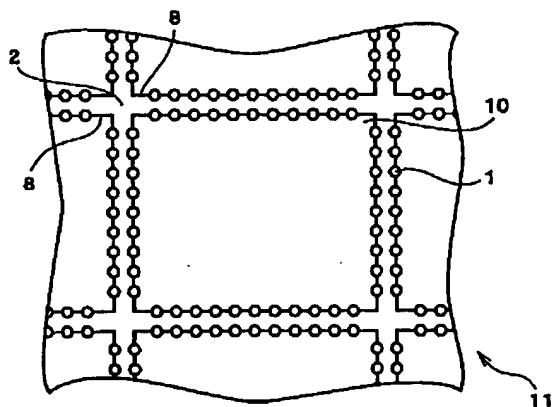
5F064 DD42 GG03 GG10

(54) 【発明の名称】 半導体集積回路チップの製造方法とその半導体集積回路チップを用いた半導体パッケージ

(57) 【要約】

【課題】 半導体集積回路チップ表面における出力信号用電極パッド（貫通電極）の占有面積を削減でき、かつその半導体集積回路チップの側面を有効利用できる微細な側面電極（ファインピッチ電極）を有する半導体集積回路チップの製造方法を提供する。

【解決手段】 半導体ウエハ11から半導体集積回路チップに個片化（ダイシング）するとき、半導体集積回路チップとなるべき半導体集積回路領域10同士の間にある切断除去されるスクライブ領域2と、その半導体集積回路領域10との境界上の境界線8を中心として貫通穴1を設け、その貫通穴1に貫通電極を形成し、ダイシングのとき、貫通電極が、半導体集積回路チップの側面に露出するようにする。



【特許請求の範囲】

【請求項1】半導体ウエハ上の半導体集積回路チップ切断用の切断領域をダイシングして、その半導体ウエハを半導体集積回路チップに分割する半導体集積回路チップの製造方法において、

上記の分割によって半導体集積回路チップとなる半導体集積回路領域と、上記切断領域との境界線に、電極形成用の貫通穴を設け、その貫通穴に貫通電極を形成し、上記貫通電極が、上記半導体集積回路チップの側面に露出するように上記半導体ウエハを分割することを特徴とする半導体集積回路チップの製造方法。

【請求項2】基板上に、請求項1に記載の半導体集積回路チップの製造方法で製造された半導体集積回路チップが取り付けられた半導体パッケージにおいて、上記半導体集積回路チップは、側面に側面電極を有しており、その側面電極と、上記基板に備えられた基板電極パッドとが硬化性導電剤で接続され、さらに、上記半導体集積回路チップが樹脂で封止されていることを特徴とする半導体パッケージ。

【請求項3】上記の側面電極を有する半導体集積回路チップが重ね合わせて取り付けられ、その側面電極同士が硬化性導電剤で接続されていることを特徴とする請求項2に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、側面電極を有する半導体集積回路チップ（半導体デバイス）の製造方法（製造プロセス）と半導体パッケージに関するものである。

【0002】

【従来の技術】従来、半導体集積回路（IC）の設けられた半導体ウエハを個片化して半導体集積回路チップ（ICチップ）を形成する場合、出力信号用の電極パッド（出力信号用電極パッド）を設けようとすると、その出力信号用電極パッドは、隣接配置しているICチップ表面の切断領域の線幅を覆うように形成される。その結果、ICチップの周辺に出力信号用電極パッドが形成されるようになっていく。

【0003】そして、一般的なプラスチックパッケージの組み立てにおいては、このICチップ上の出力信号用電極パッドと、リードフレームのインナーリードまたは基板上の電極パッド（基板電極パッド）とを、金ワイヤーで接続して組み立てを行う。

【0004】ここで、図11・図12を用いて、金ワイヤーを用いたパッケージの一例を説明する。

【0005】図11は、従来の表面電極217（チップ表面電極217）を有するICチップ212を用いたQFP233を示している。

【0006】この図に示すように、QFP233（Quad Flat Package 233）は、リードフレームダイパッド

219（ダイパッド219）の上に、ダイボンダ材213で表面電極ICチップ212を接着し、金ワイヤー218で、表面電極217とインナーリード221aとを接続（ワイヤーボンダ）した後、封止部材216で樹脂封止されている。

【0007】なお、図11（a）は、表面電極ICチップ212を用いたQFP233の平面図、図11（b）は、図11（a）のP-P'線矢視断面図を示している。

【0008】図12は、従来の表面電極217（チップ表面電極217）を有するICチップ212を用いたCSP234（Chip Size Package 234）を示している。

【0009】この図に示すように、CSP234は、表面電極217と基板電極パッド220とを金ワイヤー218で接続（ワイヤーボンダ）した後、封止部材216で樹脂封止されている。また、番号251は、はんだボールを示している。

【0010】なお、図12（a）は表面電極ICチップ212を用いたCSP234の平面図、図12（b）は図12（a）のQ-Q'線矢視断面図を示している。

【0011】また、図11・図12では、図面内容を判りやすくするため、後述する出力信号配線105を省略している。また、図11・図12における平面図では、内装されているICチップ212、表面電極217等を判りやすくするために実線で示している。

【0012】上記の図11・図12に示すようなパッケージでは、パッケージの内部には、ワイヤーボンダ（上記の金ワイヤー218を用いた接続）に必要なICチップ上のワイヤー高さ領域が必要となる。つまり、組み立てにおいてワイヤーボンダを用いる場合、ICチップの表面の封止部材216は、金ワイヤー218を保護するために十分な厚さ（ワイヤー高さ領域）を必要とする。

【0013】また、パッケージの内部には、リードフレーム221や基板214に金ワイヤー218を接続する領域も必要となるため、リードフレーム221のインナーリード221aの領域、および基板の電極パッド220（基板電極パッド220）の領域が必要とされる（例えば、基板の電極パッド220への金ワイヤー218の接続位置（ワイヤーボンダ位置）には、ICチップからある程度の距離が必要となるためである）。

【0014】したがって、市場要求の高い半導体パッケージの薄型化・小型化にも限界が発生してしまうという問題がある。

【0015】また、このような組み立てを用いて、デバイスの大容量化・多機能化を図ろうとする場合、例えば、積層（スタックド）チップパッケージ、マルチチップパッケージが用いられる。これらのパッケージでは、ICチップ同士の接合、およびICチップとリードフレームとの接合に、ワイヤーボンダやフリップチップボン

ド等が使われている。しかし、例えば、スタックドチップパッケージでは、ICチップ積層数が増加すると、ICチップ同士の信号伝達性が劣化するという問題等があり、ICチップ積層数や組み合わせるICチップサイズに多くの制限が発生してしまうという問題もある。

【0016】また、出力信号用電極パッドをICチップの表面に形成するため、ICチップの表面面積の多くの部分を電極の領域として使うことになり、コストダウンや合理化を目的とした1枚の半導体ウエハ上のチップ載り数を増やすためのICチップサイズ縮小化推進に限界が発生してしまうという問題もある。

【0017】これらの問題の対策として、特開平6-5665号公報の技術では、従来のICチップの側面部分に出力信号用電極パッド（側面電極）を形成することにより、ICチップ表面における出力信号用電極パッドの占有面積を削減して、ICチップの縮小化を実現している。

【0018】この側面電極（側面端子）を有するICチップおよびその製法について、図13を用いて説明する。

【0019】図13（b）は、多数の半導体集積回路が形成された半導体ウエハ111を示している。図13（a）は、上記半導体ウエハ111が個片化（切断）されて、半導体集積回路チップ（ICチップ）となる半導体集積回路領域110の集まったものを詳細に示したものである。

【0020】公報の製造方法では、ICチップを半導体ウエハ111から個片化するためダイシングを行うスクライプ領域102（ダイシングブレードで切断除去される領域）に、貫通穴101を設ける。

【0021】そして、図14（a）（貫通穴101近辺の拡大図）に示すように、この貫通穴101の内穴に、絶縁膜103を堆積させ、さらにこの絶縁膜103上に導電材104を堆積させる。

【0022】その後、この導電材104に出力信号配線105を設けて、貫通電極106を形成させた後、スクライプ領域102を切断除去してICチップを個片化する。

【0023】その結果、図15に示すように、ICチップの側面に貫通電極106が露出することになり、この露出した部分を側面電極107（側面端子）としている。

【0024】なお、図14（b）は、図14（a）のX-X'線矢視断面図、図14（c）は、図14（a）のY-Y'線矢視断面図を表している。

【0025】

【発明が解決しようとする課題】しかし、この方法によると、スクライプ領域102からなる切断領域上に、複数の貫通電極106を1列に形成し、さらに、その貫通電極106の中心を切断し、側面電極107を得ること

になる。そのため、ダイシングによる切断を行う場合、ダイシングブレードの幅よりも大きい貫通電極106を形成することが必要になる。

【0026】その結果、デバイスの高集積化・多機能化に対応した微細な側面電極を設けることや側面電極の数を増加させることに限界が発生する。つまり、微細な側面電極（ファインピッチ電極）の形成が難しいという問題が生じる。

【0027】本発明では上記のような問題を解決するためになされたものである。そして、その目的は、ICチップ表面における出力信号用電極パッドの占有面積を削減でき、かつICチップの側面を有効利用できる微細な側面電極（ファインピッチ電極）を有するICチップの製造方法、およびそのICチップを用いた用いた半導体パッケージを提供することにある。

【0028】

【課題を解決するための手段】上記の課題を解決するために、本発明の半導体集積回路チップの製造方法は、半導体ウエハ上の半導体集積回路チップ切断用の切断領域をダイシングして、その半導体ウエハを半導体集積回路チップに分割する半導体集積回路チップの製造方法であって、上記の分割によって半導体集積回路チップとなる半導体集積回路領域と、上記切断領域との境界線に、電極形成用の貫通穴を設け、その貫通穴に貫通電極を形成し、上記貫通電極が、上記半導体集積回路チップの側面に露出するように上記半導体ウエハを分割することの特徴としている。

【0029】上記の発明によれば、従来のように切断領域上に電極形成用の貫通穴を設けるのではなく、上記半導体集積回路領域と上記切断領域との境界線上に、貫通穴を設けている。

【0030】そのため、ダイシングによって、上記の切断領域を切断除去するとき、従来のようにダイシングブレードの幅（切断領域の幅）よりも、大きい貫通穴を形成する必要がない。つまり、貫通電極のサイズを小さくすることができ、その結果、上記の半導体ウエハの分割面、すなわち、半導体集積回路チップの側面に露出する貫通電極（側面電極）の領域は微細のものとなる。

【0031】したがって、従来に比べて、同じ半導体集積回路の領域（面積）であっても、半導体集積回路チップの側面の有効利用（例えば、側面電極の数を多くすること）が可能になる。

【0032】また、半導体集積回路チップ表面における貫通電極の占有面積を削減できるので、半導体集積回路チップの縮小化を図ることもできる。

【0033】つまり、本製造方法を用いると、サイズの縮小化した半導体集積回路チップ、および半導体集積回路チップの側面を有効利用した半導体集積回路チップを製造することができ、その結果、従来よりも一層チップサイズ縮小によるコストダウンを図ることができる。

【0034】また、本発明の半導体パッケージは、基板上に、上記の半導体集積回路チップの製造方法で製造された半導体集積回路チップが取り付けられた半導体パッケージであって、上記半導体集積回路チップは、側面に側面電極を有しており、その側面電極と、上記基板に備えられた基板電極パッドとが硬化性導電剤で接続され、さらに、上記半導体集積回路チップが樹脂で封止されていることが好ましい。

【0035】上記の発明によれば、半導体集積回路チップの電極（側面電極）と、基板の基板電極パッドとの接続を、硬化性導電剤（例えば、導電性接着剤やはんだ）の塗布により容易に接続することができる。そのため、例えば、従来のワイヤーボンドやフリップチップボンドを用いた接続で使用されるバンプの形成が不要となる。つまり、本発明の半導体パッケージでは、組み立て工程を合理化（簡素化）できる。

【0036】また、上記の側面電極を備えた半導体集積回路チップは、従来の半導体集積回路チップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできる。

【0037】また、本発明の半導体パッケージでは、例えば、ワイヤーボンドを用いず、電極（側面電極）と基板電極パッドとを接続できるため、ワイヤーボンドに必要なチップ上のワイヤー高さ領域が不要となるので、半導体パッケージの薄型化・小型化が可能となる。

【0038】つまり、本発明では、市場要求に対応した半導体パッケージの薄型化・小型化、および半導体パッケージの組み立て工程の合理化が可能となる。

【0039】なお、バンプとは、半導体集積回路チップに形成された突起状の接続電極のことである。

【0040】また、本発明の半導体パッケージでは、上記構成に加えて、上記の側面電極を有する半導体集積回路チップが重ね合わせて取り付けられ、その側面電極同士が硬化性導電剤で接続されていることが好ましい。

【0041】上記の発明によれば、積層された半導体集積回路チップ同士の接続、すなわち、半導体集積回路チップ間配線が側面電極で行われるため、半導体集積回路チップ表裏面間での、例えば、バンプ等による接続が不要になる。その結果、半導体集積回路チップ間の厚さを最小限の抑えられ、全体的な半導体パッケージの厚さをさらに薄型化・小型化することができる。

【0042】また、従来の半導体パッケージのように、例えば、金属棒を用いて各側面電極同士の接続する必要がない。

【0043】つまり、本発明の半導体パッケージでは、金属棒を使用せず、硬化性導電剤の塗布により各側面電極同士の接続、および側面電極と基板電極パッドとの接続を容易かつ直接接続することができる。その結果、半導体パッケージの組み立て工程を合理化（簡素化）できる上、コストダウンを図ることもできる。

【0044】また、半導体パッケージのデバイスのさらなる大容量化・多機能化のため、半導体集積回路チップを積層（積層チップ実装）させながらも、半導体パッケージの厚さを薄型化・小型化することができる。

【0045】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化による低コスト化の実現が可能となる。

【0046】

【発明の実施の形態】〔実施の形態1〕本発明の一実施の形態に係る、微細な側面電極（ファインピッチ電極）を有する半導体集積回路チップの製造方法（本製造方法）について説明する。

【0047】図2は、半導体集積回路チップとなるべき半導体集積回路領域10が多数集まった半導体ウエハ11を示している。つまり、この半導体ウエハ11は、個片化（切断）されて、半導体集積回路チップ（ICチップ）となる半導体集積回路領域10の集まったものである。

【0048】図1は、半導体集積回路領域10の集まった半導体ウエハ11を拡大した平面図である。この図に示すように、半導体集積回路領域10同士の間には、半導体ウエハ11を個片化（ダイシング）するとき、切断除去される領域（スクライプ領域2）がある。

【0049】本製造方法では、まず、図1に示すように半導体集積回路領域10とスクライプ領域2との境界上の境界線8（例えば、2列の境界線）を中心として、エッチング加工、レーザー加工、またはドリルによる機械加工により、貫通穴1を設ける（貫通穴開け工程）。

【0050】なお、この貫通穴1は、必要とされる出力信号用電極パッドの数よりも多く設ける。また、貫通穴1のサイズは特に限定するものではないが、 $\phi 30 \sim 100 \mu\text{m}$ が好ましい。

【0051】次に、図3（a）に示すように、貫通穴1の内側壁面にCVD（Chemical Vapor Deposition）法によって、シリコン酸化膜または有機材料膜を形成させて、電気的な絶縁膜3を形成させる（絶縁膜形成工程）。

【0052】その後、上記の絶縁膜3の内側に、メッキ堆積することにより導電材4（導電部4）を埋め込む（導電材形成工程）。なお、導電材4の材料は、特に限定するものではないが、銅、アルミニウム（Al）、または金（Au）が好ましい。

【0053】次に、上記貫通穴1内部の導電材4と、ICチップ12への出力信号配線5とを、ICチップ12の表面上で接続する（配線接続工程）。

【0054】なお、この接続した状態を判りやすく示すため、図3（a）のA-A'線矢視断面図を図3（b）に、B-B'線矢視断面図を図3（c）に表している。また、上記の絶縁膜3・導電材4・出力信号配線5からなる電極を貫通電極6とする。

【0055】その後、図4に示すように、ダイシングブレードを使った研削（ダイシング）により、スクライブ領域2を除去し、貫通穴1（図3参照）の内部の導電材4の研削断面をICチップの側面に露出させるように切断（個片化）する〔ウエハ切断工程〕。なお、この図では、スクライブ領域2において除去された領域を斜線部で表している。また、この図4では、図面内容を判りやすくするため、出力信号配線5を省略している。

【0056】上記の工程〔貫通穴開け工程・絶縁膜形成工程・導電材形成工程・配線接続工程・ウエハ切断工程〕を経た結果、図5（a）に示すように、ICチップ12の側面には、貫通電極6の導電材4が露出するようになる。つまり、ICチップ12の側面に上記導電材4の露出部分からなる側面電極7を備えたICチップ12を製造することができる。なお、図5（b）は、図5（a）の側面図を表している。

【0057】以上のように、本製造方法を用いて側面電極7を有するICチップ12を製造すると、従来のICチップの製造方法のように、ダイシングによる切断を行うとき、ダイシングブレードの幅よりも、大きい貫通穴1（貫通電極6）を形成する必要がない（図13（a）の貫通穴101参照）。つまり、出力信号用電極パッドとなる貫通電極6のサイズを小さくすることができ、その結果、上記の半導体ウエハの分割面、すなわち、ICチップ12の側面に露出する貫通電極6（側面電極7）の領域も微細のものとなる。

【0058】ここで、図15に示すような従来の側面電極107を備えたICチップ112（側面電極ICチップ112）と同じ半導体集積回路の領域（面積）を持ち、本製造方法で製造したICチップ12（側面電極ICチップ12）を図6に示す。

【0059】この図6に示すように、本製造方法を用いて側面電極ICチップ12を製造すると、側面電極7は、従来の側面電極ICチップ112の側面電極107よりも微細なもの（微細電極）となり、同じ半導体集積回路の領域（面積）であっても、側面電極7の数を多くすることが可能になる。

【0060】また、貫通電極6のサイズが小さくなるので、ICチップ12の表面における出力信号用電極パッド（貫通電極6）の占有面積を削減でき、ICチップ12の縮小化（小型化）を図ることができる。

【0061】つまり、本製造方法を用いると、サイズの縮小化したICチップ12、および端子（微細な側面電極7）数の増加したICチップ12を製造することができる。その結果、従来よりも一層のチップサイズ小型化によるコストダウンを図ることができる。

【0062】なお、図6・図15では、図面内容を判りやすくするため、出力信号配線5または出力信号配線105を省略している。

【0063】〔実施の形態2〕本発明の他の実施の形態

について説明すれば、以下の通りである。なお、実施の形態1で用いた部材と同様の機能を有する部材については、同一の符号を付記し、その説明を省略する。なお、この図7～図10では、図面内容を判りやすくするため、出力信号配線5を省略している。また、図8～図10における平面図では、内装されているICチップ12、側面電極7等を判りやすくするために実線で示している。

【0064】実施の形態2では、実施の形態1で製造したICチップ12（側面電極ICチップ12）を用いた半導体パッケージの実装形態例について説明する。

【0065】図7に示すような積層チップパッケージ31（半導体パッケージ）は、ダイボンド材13（シート13）により、基板14へ接着された側面電極ICチップ12の上に、さらにダイボンド材13を貼り付け、同種の第2の側面電極ICチップ12を絶縁接着して構成されている。また、第2の側面電極ICチップ12の上へ、さらに第3、第4またはそれ以上の側面電極ICチップ12が積層されている。

【0066】なお、上記のそれぞれのチップは同種の側面電極ICチップ12であるため、側面電極7の位置は垂直直線上に1列に配列されることになる。

【0067】そして、上記の1列状態の側面電極7に対して、導電性接着剤15（硬化性導電剤）の塗布により、それぞれの側面電極7同士の接続後（電気的な接続後）、および側面電極7と基板14上の電極パッド20（基板電極パッド20）との接続後、封止部材16（樹脂）によって樹脂封止され、積層チップパッケージ31が完成する。

【0068】以上のように、側面電極ICチップ12（本発明のICチップ12）を用いた積層チップパッケージ31では、導電性接着剤15の塗布により各側面電極7同士の接続、および側面電極7と基板電極パッド20との接続を容易に接続することができる。すなわち、半導体パッケージの組み立て工程を合理化（簡素化）できる。

【0069】また、本発明の半導体パッケージでは、例えば、従来のようなワイヤーボンドを用いず、側面電極7と基板電極パッド20とを接続できるため、ワイヤーボンドに必要なチップ上のワイヤー高さ領域が不要となるので、半導体パッケージの薄型化・小型化が可能となる。

【0070】また、最上層チップ上へのワイヤーによる接続が不要であるため、チップの積層数に制限がなく、何層でも積層できる。

【0071】その上、側面電極ICチップ12間の配線（接続）が側面（側面電極7）で行われるため、側面電極ICチップ12の表裏面間での接続、例えば、パンプ等による接続が不要になる。

【0072】その結果、側面電極ICチップ12間の絶

縁接着シート13(ダイボンド材13)の厚さを最小限の抑えられ、全体の半導体パッケージ厚のさらなる薄型化・小型化を可能にする。

【0073】そのため、半導体パッケージのデバイスのさらなる大容量化・多機能化のために、積層チップ実装しながらも(側面電極ICチップ12を積層させる実装を行っても)、半導体パッケージの厚さを薄型化・小型化することができる。

【0074】また、側面電極ICチップ12は従来のICチップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできる。

【0075】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化により、半導体パッケージの低コスト化の実現も可能となる。

【0076】また、従来の半導体パッケージ(例えば、特開平6-5665号公報のマルチICチップ)のように、金属棒を用いて各側面電極7同士の接続する必要がない。

【0077】つまり、本発明の半導体パッケージでは、金属棒を使用せず、導電性接着剤15の塗布により各側面電極7同士の接続、および側面電極7と基板電極パッド20との接続を容易かつ直接接続することができる。その結果、半導体パッケージの組み立て工程を合理化(簡素化)できる上、コストダウンを図ることもできる。

【0078】なお、側面電極7間の接続、および側面電極7と基板14上の基板電極パッド20との接続に使用する硬化性導電剤の一つである導電性接着剤15は、特に限定するものではないが、Ag(銀)フィラー入りエポキシ系樹脂等が好適に用いられる。しかし、これらに限定されるものではなく、例えば、はんだ(硬化性導電剤)であっても構わない。

【0079】また、バンパとは、ICチップに形成された突起状の接続電極のことである。また、図7における番号51は、接続端子の役割を果たすはんだボールを示している。

【0080】また、チップサイズが異なる側面電極ICチップ12を用いて、図8に示すように、マルチチップパッケージ32(半導体パッケージ)を製造することもできる。

【0081】図8(a)はマルチチップパッケージ32の平面図、図8(b)は図8(a)のC-C'線矢視断面図を示している。

【0082】図8(b)に示すように、マルチチップパッケージ32は、基板14上にダイボンド材13によって、隣り合うように側面電極ICチップ12を配置して接着されている。この接着のとき、側面電極ICチップ12の相対する側面電極7同士が導電性接着剤15で接続される。さらに、側面電極7と基板14上の電極パッド20(基板電極パッド20)とを導電性接着剤15で

接続した後、封止部材16(封止樹脂)によって、樹脂封止され、このマルチチップパッケージ32が完成する(組み立てられる)。

【0083】このマルチチップパッケージ32では、例えば、従来のワイヤーボンドやフリップチップボンドのためのバンパが不要となるため、半導体パッケージの薄型化が可能となる。

【0084】その上、相対する側面電極7同士の接続、および、側面電極7と基板14上の基板電極パッド20との接続を導電性接着剤15を用いて容易に接続することができる。すなわち、半導体パッケージの組み立て工程を合理化(簡素化)できる。

【0085】また、このマルチチップパッケージ32では、例えば、従来のようなワイヤーボンドを用いず、側面電極7と基板電極パッド20とを接続できるため、ワイヤーボンドに必要なチップ上のワイヤー高さ領域が不要となるので、半導体パッケージのさらなる薄型化・小型化も可能となる。

【0086】また、半導体パッケージのデバイスのさらなる大容量化・多機能化のために、マルチチップ実装しながらも(基板14上に側面電極ICチップ12を隣接させた実装を行っても)、半導体パッケージの厚さを薄型化・小型化することができる。

【0087】また、側面電極ICチップ12は従来のICチップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできる。

【0088】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化による低コスト化の実現が可能となる。

【0089】なお、側面電極7同士の接続、および側面電極7と基板14上の電極パッドとの接続に使用する導電性接着剤15は、これに限定されるものではなく、例えば、はんだであっても構わない。

【0090】また、側面電極ICチップ12を用いて、図9に示すように、ペリフェラルリードパッケージの一つであるQFP33(Quad Flat Package 33)を製造することもできる。

【0091】図9(a)は、QFP33の平面図、図9(b)は、図9(a)のD-D'線矢視断面図を示している。

【0092】これらの図に示すように、QFP33では、リードフレーム21のインナーリード21a(21)の先端で、側面電極ICチップ12の側面電極7を周囲から直接挟み込むことで、リードフレーム21で側面電極ICチップ12を支持する。その後、封止部材16(封止樹脂16)によって、樹脂封止され、このQFP33が完成する(組み立てられる)。

【0093】なお、上記の側面電極7を直接挟み込むことに代えて、微量の導電性接着剤15で、インナーリード21a先端と側面電極7とを接続しても構わない。

【0094】ここで、図9と図11とのQFP33・233を比較してみると判るように、図9のQFP33では、ダイボンダ材213・ダイパッド219・金ワイヤー218（図11参照）を用いないため、半導体パッケージの厚さはチップ（ICチップ12）厚のみに依存することになる。そのため、半導体パッケージの薄型化・小型化が十分に可能となる。

【0095】また、側面電極ICチップ12は、従来のICチップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできる。

【0096】その上、図11のQFP233で行わなくてはならない、ダイボンダ材213の取り付け工程（ダイボンダ工程）、金ワイヤー218による表面電極217とインナーリード221aとの接続工程（ワイヤーボンダ工程）が必要なくなる。

【0097】つまり、図9のQFP33では、上記のダイボンダ工程・ワイヤーボンダ工程を、インナーリード21aと側面電極7との一括接続工程が兼ねることになる。そのため、半導体パッケージの組み立て工程の合理化にもつながる。

【0098】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化による低コスト化の実現が可能となる。

【0099】なお、番号21b（21）・番号221b（221）はリードフレーム21・221のアウトリードを示している。

【0100】また、側面電極ICチップ12を用いて、図10に示すように、CSP34（Chip Size Package 34）を製造することもできる。

【0101】図10（a）は、CSP34の平面図、図10（b）は、図10（a）のE-E'線矢視断面図を示している。

【0102】図10（b）に示すように、ダイボンダ材13（シート13）により基板14へ接着された側面電極ICチップ12の側面電極7と、その直下に配置された基板14上の電極パッド20（基板電極パッド20）とに対して、導電性接着剤15を塗布することにより接続した後、その後、封止部材16によって、樹脂封止され、このCSP34が完成する（組み立てられる）。

【0103】なお、側面電極7と基板電極パッド20とを接続するときに使用する導電性接着剤15は、これに限定されるものではなく、例えば、はんだであっても構わない。

【0104】ここで、図10と図12とのCSP34・234を比較してみると判るように、図10のCSP34では、側面電極ICチップ12表面から、例えば、ワイヤーボンダによる基板電極パッド20との接続が不要となる。そのため、側面電極ICチップ12上のワイヤー高さ分の封止部材16の厚さを削減でき、半導体パッケージの厚さを薄くすることができる（半導体パッケージ

の薄型化・小型化が可能となる）。

【0105】また、側面電極ICチップ12は従来のICチップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできる。

【0106】その上、側面電極ICチップ12では、ダイボンダ材13で固定されているため、電極接続用接着剤やはんだの量が極微量であっても導電材料としての機能を果たせる。その結果、基板14の電極パッド20（基板電極パッド20）部分の縮小も可能になり、半導体パッケージのさらなる小型化も図れる。

【0107】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化による低コスト化の実現が可能となる。

【0108】また、本実施の形態の半導体パッケージの場合、積層チップパッケージ31・マルチチップパッケージ32であっても、従来のワイヤーボンダやフリップボンダを使わずに済むため、チップ積層数や組み合わせチップサイズの制限がなくなり、1パッケージデバイスとしての大容量化・多機能化を実現することができる。

【0109】また、本実施の形態の効果としては、従来よりも一層のチップサイズ縮小によるコストダウンや合理化、また半導体パッケージの薄型化・小型化による市場要求への対応や組み立て工程の合理化が可能となる。また、積層チップ実装やマルチチップ実装に、側面電極ICチップを使った構造やプロセスにより、さらなるデバイスの大容量化・多機能化、半導体パッケージの薄型化・小型化、および組み立て工程（製造工程）の簡素化による低コスト化の実現が可能になるともいえる。

【0110】また、半導体集積回路チップの製造方法とその半導体集積回路チップを用いた半導体パッケージとを、以下のように表現することもできる。

【0111】半導体集積回路チップの製造方法は、半導体集積回路を形成した半導体ウエハにおいて、隣あったチップ間の切断領域上に貫通穴を形成し、穴の内壁を電気的絶縁膜で覆い、さらにその内側を銅、アルミニウムまたは金からなる電気導電材（導電部）で埋めて、集積回路の出力信号配線をこの電気導電材に接続し、切断領域に沿って切断して、貫通穴を埋めた導電材がチップ側面に出入力電極として露出した半導体チップを製造する方法であって、貫通穴をスクライプ領域と半導体集積回路領域の境界上に2列に形成してスクライプラインをダイシング除去しているともいえる。

【0112】また、半導体集積回路チップを用いた半導体パッケージは、側面電極半導体集積回路チップ（側面電極ICチップ）が、基板の電極パッドと、導電性接着剤やはんだで電気的に接続されるとともに、該側面電極ICチップが樹脂封止され、その基板の下側には電極パッドと電気的に導通したはんだボール状の端子を有する半導体パッケージであるともいえる。

【0113】また、半導体集積回路チップを用いた半導

体パッケージでは、側面電極ICチップが、垂直に積層した2つ以上の側面電極ICチップ間の側面電極同士を導電性接着剤やはんだで接合され、組み立てられた半導体パッケージであるともいえる。

【0114】

【発明の効果】以上のように、本発明の半導体集積回路チップの製造方法は、半導体ウエハ上の半導体集積回路チップ切断用の切断領域をダイシングして、その半導体ウエハを半導体集積回路チップに分割する半導体集積回路チップの製造方法であって、上記の分割によって半導体集積回路チップとなる半導体集積回路領域と、上記切断領域との境界線に、電極形成用の貫通穴を設け、その貫通穴に貫通電極を形成し、上記貫通電極が、上記半導体集積回路チップの側面に露出するように上記半導体ウエハを分割することを特徴としている。

【0115】これによると、ダイシングによって、上記の切断領域を切断除去するとき、従来のようにダイシングブレードの幅（切断領域の幅）よりも、大きい貫通穴を形成する必要がない。つまり、貫通電極のサイズを小さくすることができ、その結果、上記の半導体ウエハの分割面、すなわち、半導体集積回路チップの側面に露出する貫通電極（側面電極）の領域は微細のものとなる。

【0116】したがって、従来に比べて、同じ半導体集積回路の領域（面積）であっても、半導体集積回路チップの側面の有効利用（例えば、側面電極の数を多くすること）が可能になるという効果を奏する。

【0117】また、半導体集積回路チップ表面における貫通電極の占有面積を削減できるので、半導体集積回路チップの縮小化を図ることもできるという効果を奏する。

【0118】つまり、本製造方法を用いると、サイズの縮小化した半導体集積回路チップ、および半導体集積回路チップの側面を有効利用した半導体集積回路チップを製造することができ、その結果、従来よりも一層チップサイズ縮小によるコストダウンを図ることができるという効果を奏する。

【0119】また、本発明の半導体パッケージは、基板上に、上記の半導体集積回路チップの製造方法で製造された半導体集積回路チップが取り付けられた半導体パッケージであって、上記半導体集積回路チップは、側面に側面電極を有しており、その側面電極と、上記基板に備えられた基板電極パッドとが硬化性導電剤で接続され、さらに、上記半導体集積回路チップが樹脂で封止されていることが好ましい。

【0120】これによると、半導体集積回路チップの電極（側面電極）と、基板の基板電極パッドとの接続を、硬化性導電剤（例えば、導電性接着剤やはんだ）の塗布により容易に接続することができる。そのため、例えば、従来のワイヤーボンドやフリップチップボンドを用いた接続で使用するバンプの形成が不要となる。つま

り、本発明の半導体パッケージでは、組み立て工程を合理化（簡素化）できるという効果を奏する。

【0121】また、上記の側面電極を備えた半導体集積回路チップは、従来の半導体集積回路チップよりも小型化されているので、半導体パッケージの薄型化・小型化を図ることもできるという効果を奏する。

【0122】また、本発明の半導体パッケージでは、例えば、ワイヤーボンドを用いず、電極（側面電極）と基板電極パッドとを接続できるため、ワイヤーボンドに必要なチップ上のワイヤー高さ領域が不要となるので、半導体パッケージの薄型化・小型化が可能となるという効果を奏する。

【0123】つまり、本発明では、市場要求に対応した半導体パッケージの薄型化・小型化、および半導体パッケージの組み立て工程の合理化が可能となるという効果を奏する。

【0124】また、本発明の半導体パッケージでは、上記構成に加えて、上記の側面電極を有する半導体集積回路チップが重ね合わせて取り付けられ、その側面電極同士が硬化性導電剤で接続されていることが好ましい。

【0125】これによると、積層された半導体集積回路チップ同士の接続、すなわち、半導体集積回路チップ間配線が側面電極で行われるため、半導体集積回路チップ表裏面間での、例えば、バンプ等による接続が不要になる。その結果、半導体集積回路チップ間の厚さを最小限の抑えられ、全体的な半導体パッケージの厚さをさらに薄型化・小型化することができるという効果を奏する。

【0126】また、従来の半導体パッケージのように、例えば、金属棒を用いて各側面電極同士の接続する必要

がない。

【0127】つまり、本発明の半導体パッケージでは、金属棒を使用せず、硬化性導電剤の塗布により各側面電極同士の接続、および側面電極と基板電極パッドとの接続を容易かつ直接接続することができる。その結果、半導体パッケージの組み立て工程を合理化（簡素化）できる上、コストダウンを図ることもできるという効果を奏する。

【0128】また、半導体パッケージのデバイスのさらなる大容量化・多機能化のため、半導体集積回路チップを積層（積層チップ実装）させながらも、半導体パッケージの厚さを薄型化・小型化することができるという効果を奏する。

【0129】また、半導体パッケージの薄型化・小型化、および組み立て工程の簡素化による低コスト化の実現が可能となるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の半導体集積回路チップの製造方法（本製造方法）で用いられる半導体ウエハを示す平面図である。

【図2】図1に示す半導体ウエハを示す拡大図である。

【図3】(a)は、図1に示された貫通穴に形成された貫通電極を示す平面図であり、(b)は(a)のA-A'線矢視断面図であり、(c)は(a)のB-B'線矢視断面図である。

【図4】図1の半導体ウエハに、ダイシングブレードを使った切断(ダイシング)を行う工程を示した概略平面図である。

【図5】(a)は図4の工程後のICチップを示す平面図であり、(b)は(a)の側面図である。

【図6】本製造方法で製造したICチップを示す平面図 10 である。

【図7】本製造方法で製造したICチップを用いた積層チップパッケージを示す断面図である。

【図8】(a)は本製造方法で製造したICチップを用いたマルチチップパッケージを示す平面図であり、(b)は(a)のC-C'線矢視断面図である。

【図9】(a)は本製造方法で製造したICチップを用いたQFPを示す平面図であり、(b)は(a)のD-D'線矢視断面図である。

【図10】(a)は本製造方法で製造したICチップを 20 用いたCSPを示す平面図であり、(b)は(a)のE-E'線矢視断面図である。

【図11】(a)は従来の表面電極(チップ表面電極)を有するICチップを用いたQFPを示す平面図であり、(b)は(a)のP-P'線矢視断面図である。

【図12】(a)は従来の表面電極(チップ表面電極)を有するICチップを用いたCSPを示す平面図であり、(b)は(a)のQ-Q'線矢視断面図である。

【図13】(a)は従来のICチップの製造方法(従来

製造方法)で用いられる半導体ウエハを示した拡大図であり、(b)は(a)に示す半導体ウエハの半導体集積回路領域が多数集まっている状態を示す平面図である。

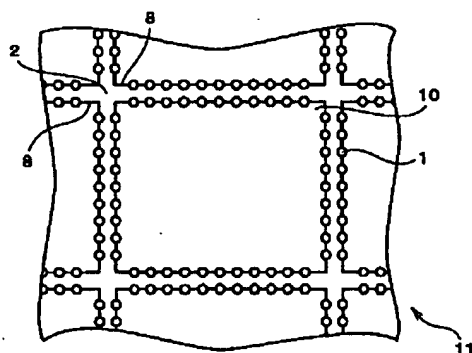
【図14】(a)は図13(b)に示されたスクライプ領域に形成された貫通電極を示す平面図であり、(b)は(a)のX-X'線矢視断面図であり、(c)は(a)のY-Y'線矢視断面図である。

【図15】従来製造方法で製造したICチップを示す平面図である。

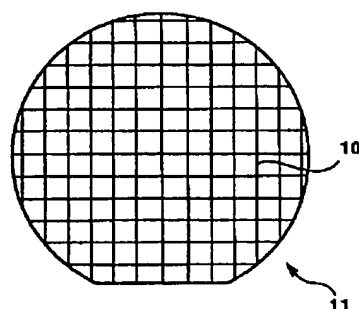
【符号の説明】

- 1 貫通穴
- 2 スクライプ領域(切断領域)
- 3 絶縁膜
- 4 導電材
- 5 信号配線
- 6 貫通電極
- 7 側面電極
- 8 境界線
- 10 半導体集積回路領域
- 11 半導体ウエハ
- 12 半導体集積回路チップ
- 14 基板
- 15 導電性接着剤
- 16 封止部材(樹脂)
- 20 基板電極パッド
- 31 積層チップパッケージ(半導体パッケージ)
- 32 マルチチップパッケージ(半導体パッケージ)
- 33 QFP(半導体パッケージ)
- 34 CSP(半導体パッケージ)

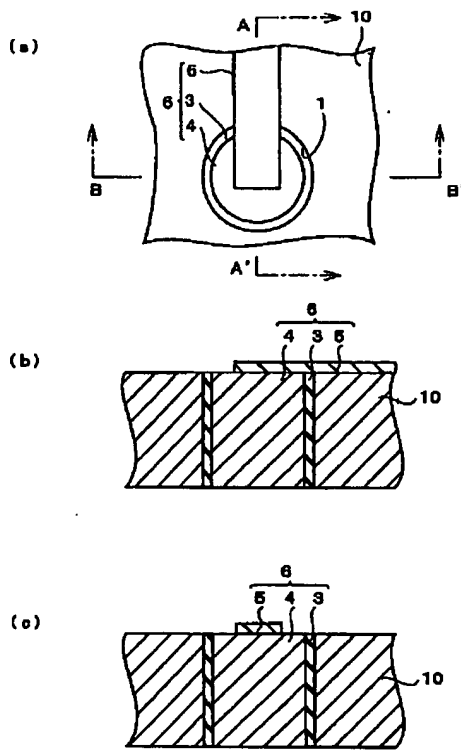
【図1】



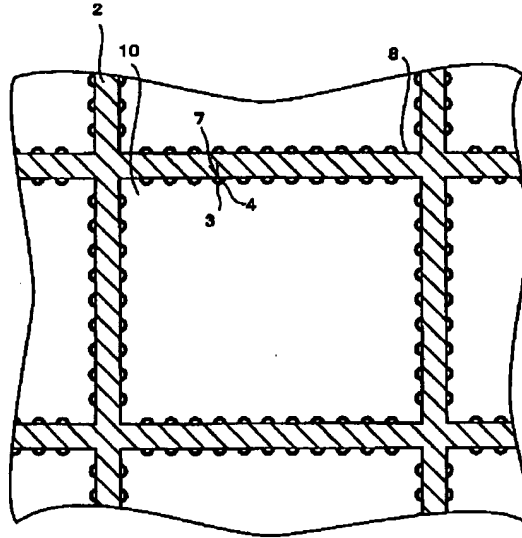
【図2】



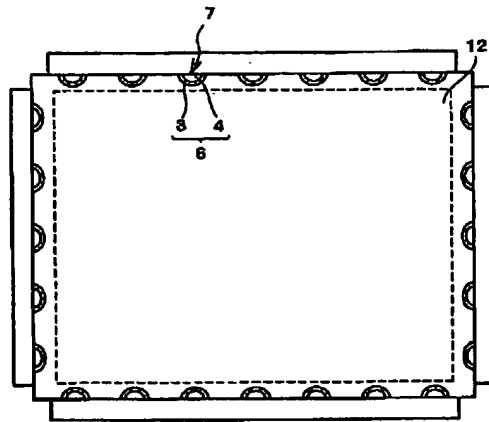
【図3】



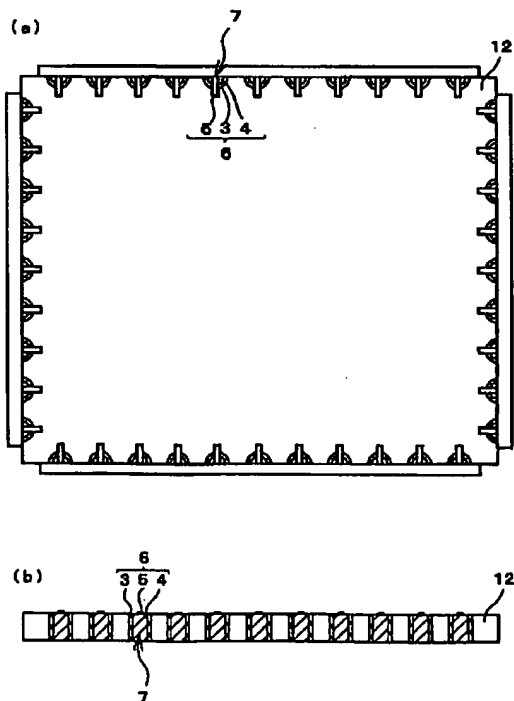
【図4】



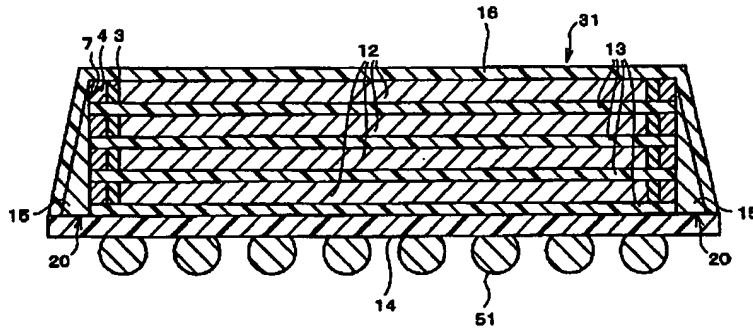
【図6】



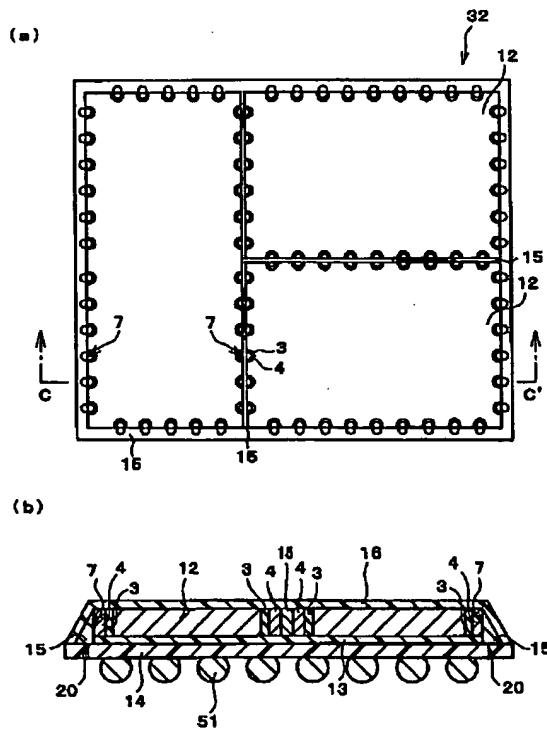
【図5】



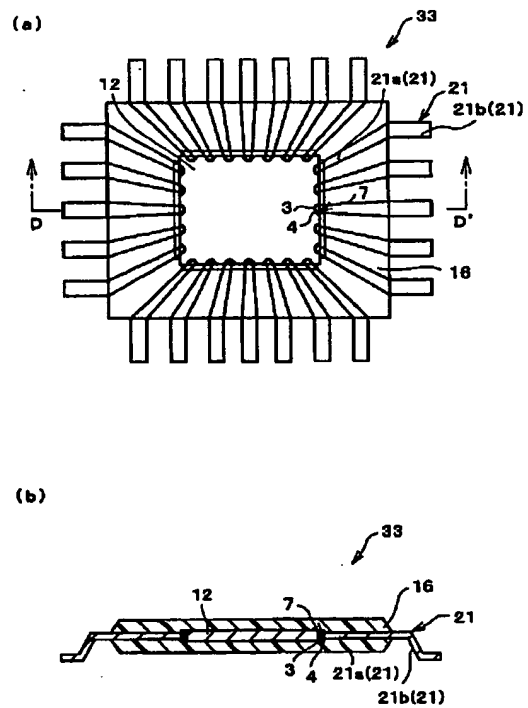
【図7】



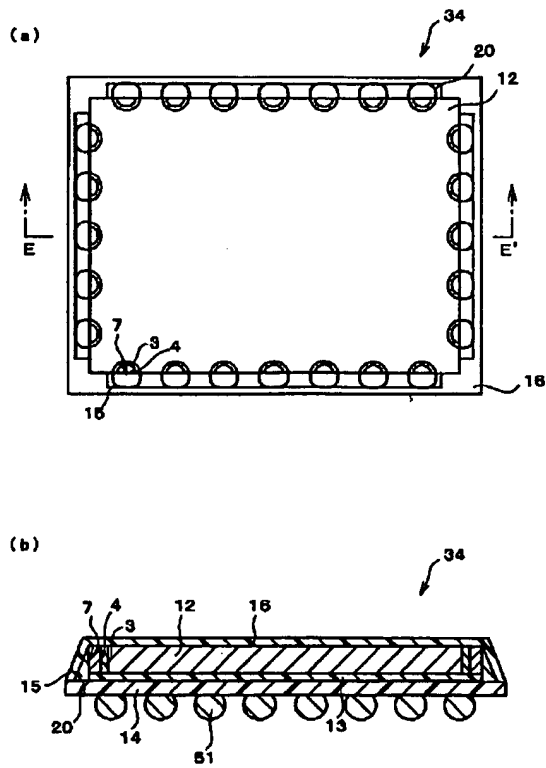
【図8】



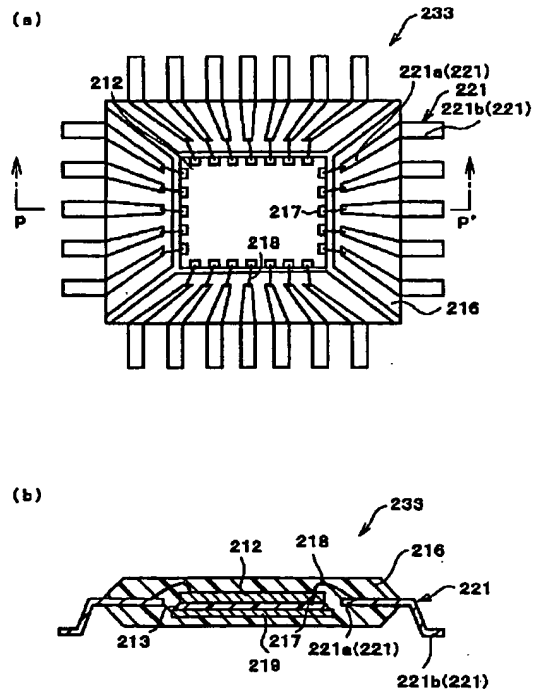
【図9】



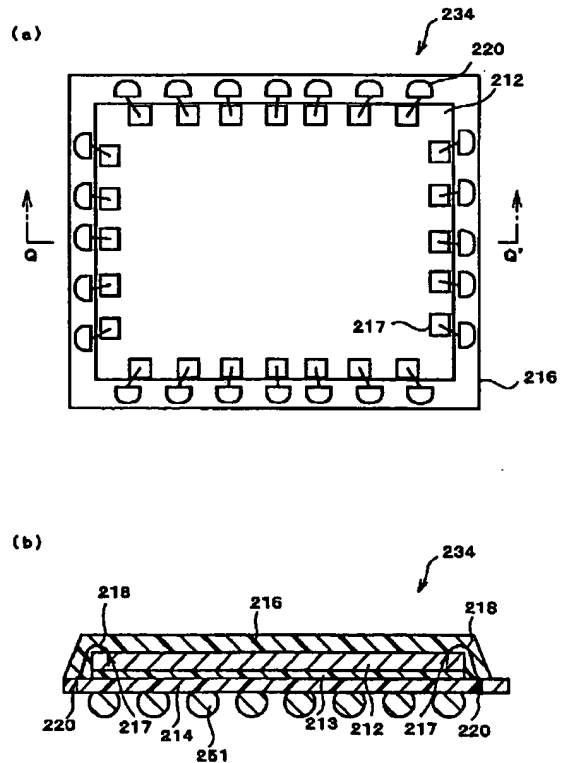
【図10】



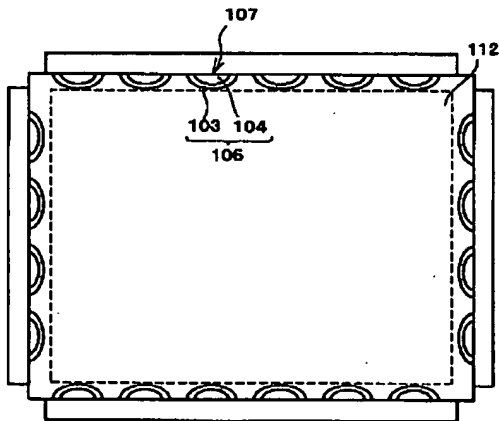
【図11】



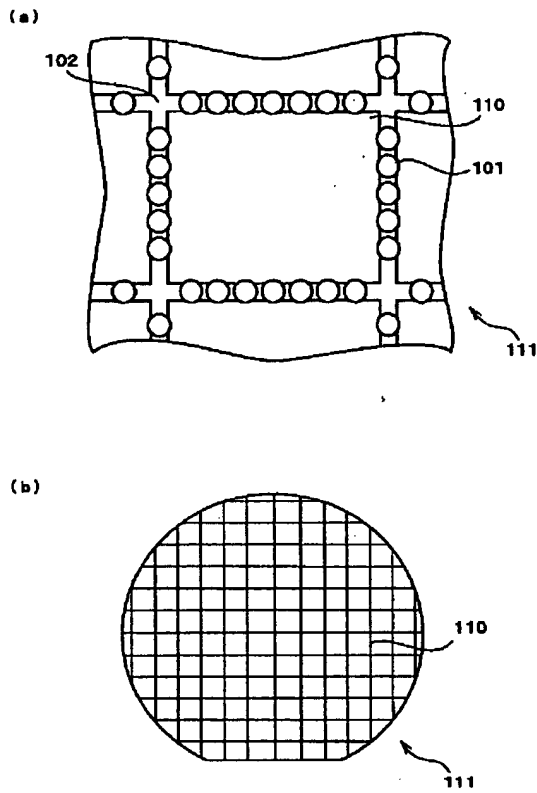
【図12】



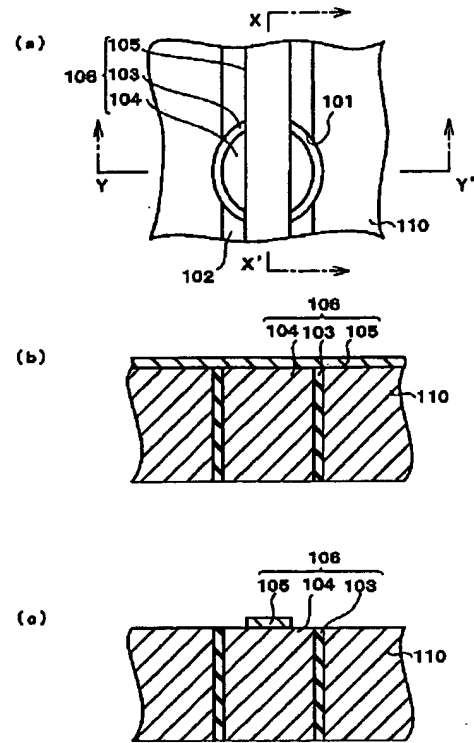
【図15】



【図13】



【図14】



フロントページの続き

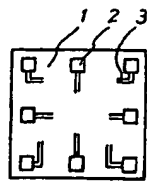
(51)Int. Cl.⁷
H01L 27/04

識別記号

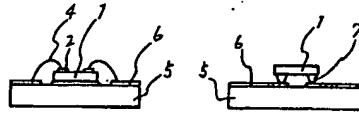
F I

テーマコード(参考)

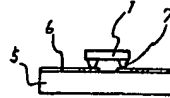
第 1 図



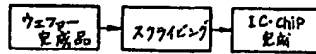
第 2 図



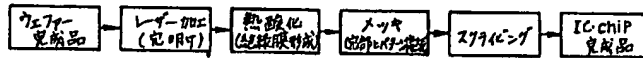
第 3 図



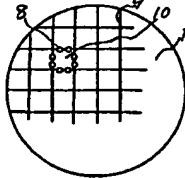
第 4 図



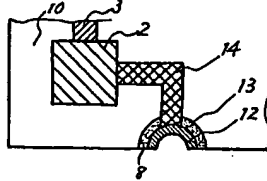
第 5 図



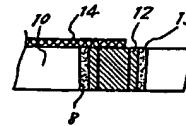
第 6 図



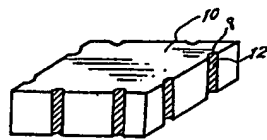
第 7 図



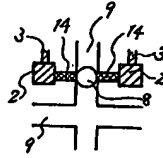
第 8 図



第 9 図



第 10 図



第 11 図

